

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-351764

(43)Date of publication of application : 07.12.1992

(51)Int.Cl.

G11B 20/18

G06F 3/06

(21)Application number : 03-124225

(71)Applicant : NEC ENG LTD

(22)Date of filing : 29.05.1991

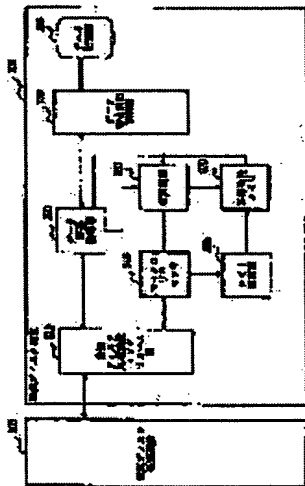
(72)Inventor : ICHIKAWA FUMIO

(54) MAGNETIC DISK DEVICE

(57)Abstract:

PURPOSE: To promote the reliability of data by parity and to make the write processing time quickened and then to make the device unexpensive.

CONSTITUTION: At the time of writing a data to a data storage part 280, an arithmetic circuit 250 and a nonvolatile memory 270 are controlled by a microprocessor 240 and a memory control part 260 controlled by the microprocessor 240, and an exclusive logic sum of a write data from a data transfer control part 220 to the data storage part 280 and a read data from the nonvolatile memory 270 are operated by the arithmetic circuit 250. As a result, a write operation to the nonvolatile memory 270 again is repeatedly performed on the whole write data, so that parity is stored in the nonvolatile memory 270.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-351764

(43) 公開日 平成4年(1992)12月7日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	1 0 2	9074-5D		
G 0 6 F 3/06	3 0 5 F	7165-5B		

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号 特願平3-124225

(22) 出願日 平成3年(1991)5月29日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72) 発明者 市川 文男

東京都港区西新橋三丁目20番4号日本電気
エンジニアリング株式会社内

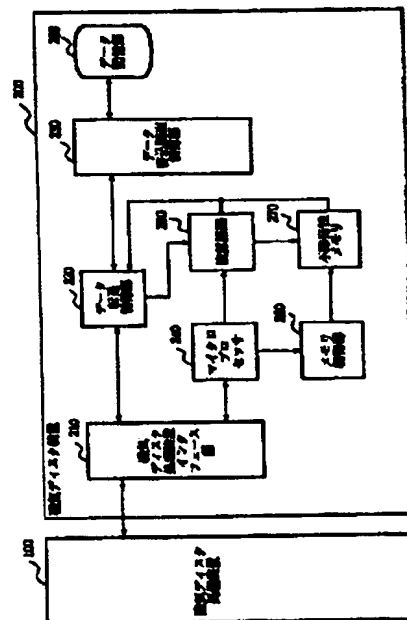
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 磁気ディスク装置

(57) 【要約】

【目的】 パリティによりデータの信頼性を上げながら書き込み処理時間も速く安価な磁気ディスク装置を提供する。

【構成】 データ記憶部280へのデータ書き込み時に、マイクロプロセッサ240及びマイクロプロセッサ240により制御されるメモリ制御部260は、演算回路250及び不揮発性メモリ270を制御して、演算回路250においてデータ転送制御部220からのデータ記憶部280への書き込みデータと不揮発性メモリ270からの読出しデータとの排他的論理和をとり、その結果を再度不揮発性メモリ270に書き込む動作を全書き込みデータについて繰返し行なわせることにより、不揮発性メモリ270にパリティを貯蔵する。



【特許請求の範囲】

【請求項1】 データを磁気記憶するデータ記憶媒体と、磁気ディスク処理装置との間の命令、実行結果及びデータの受け渡しを行う磁気ディスク処理装置インタフェース手段と、この磁気ディスク処理装置インタフェース手段を通じて受取った命令を解釈し実行結果を前記磁気ディスク処理装置に対して送るマイクロプロセッサと、このマイクロプロセッサの指示により前記データ記憶媒体との間のデータの受け渡しを行うデータ書込読出制御手段と、前記マイクロプロセッサの指示により前記磁気ディスク処理装置インタフェース手段と前記データ書込読出制御手段との間のデータ転送制御を行うデータ転送制御手段とを備えた磁気ディスク装置において、不揮発性の記憶手段と、前記マイクロプロセッサの指示により前記記憶手段の書込読出制御及びアドレス制御を行うメモリ制御手段と、前記記憶手段からの読出データと前記データ転送制御手段からの前記データ記憶媒体への書込データとを前記マイクロプロセッサの指示により演算して演算結果を前記記憶手段への書込データとする演算手段とを含むことを特徴とする磁気ディスク装置。

【請求項2】 前記記憶手段はバッテリーバックアップ付の不揮発性メモリであることを特徴とする請求項1記載の磁気ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は固定データ長の磁気ディスク装置に関する。

【0002】

【従来の技術】 従来、この種の磁気ディスク装置を用いるシステムでは、データの信頼性を高める為にエラー訂正コードをデータの後に付加し、データエラーが発生した場合にはエラー訂正コードによってデータエラーを訂正してホストシステムに送っていた。最近では、さらにデータの信頼性を高める為に、同一のデータを異なる磁気ディスク装置に書込む二重書き方式やパリティ用磁気ディスク装置をデータ用磁気ディスク装置とは別に設けるパリティディスク方式等が採用されている。

【0003】

【発明が解決しようとする課題】 しかし、上述した従来の二重書き方式は全ディスク容量に対する有効ディスク容量が半分しかなくコスト高になるという欠点があった。また、従来のパリティディスク方式もパリティディスクを磁気ディスク装置により実現していた為、クロスコール接続であったとしてもパリティディスクでの競合が発生し、同時処理ができないという欠点があった。さらに、従来のパリティディスク方式では、パリティデータの書込み時、パリティディスク装置からデータを一旦読出し、書込みデータと非論理的論理和を実行後パリティディスク装置に書込まなければならない為に、書込み処理時間が約2倍かかるという欠点があった。

【0004】

【課題を解決するための手段】 本発明の磁気ディスク装置は、データを磁気記憶するデータ記憶媒体と、磁気ディスク処理装置との間の命令、実行結果及びデータの受け渡しを行う磁気ディスク処理装置インタフェース手段と、この磁気ディスク処理装置インタフェース手段を通じて受取った命令を解釈し実行結果を前記磁気ディスク処理装置に対して送るマイクロプロセッサと、このマイクロプロセッサの指示により前記データ記憶媒体との間のデータの受け渡しを行うデータ書込読出制御手段と、前記マイクロプロセッサの指示により前記磁気ディスク処理装置インタフェース手段と前記データ書込読出制御手段との間のデータ転送制御を行うデータ転送制御手段とを備えた磁気ディスク装置において、不揮発性の記憶手段と、前記マイクロプロセッサの指示により前記記憶手段の書込読出制御及びアドレス制御を行うメモリ制御手段と、前記記憶手段からの読出データと前記データ転送制御手段からの前記データ記憶媒体への書込データとを前記マイクロプロセッサの指示により演算して演算結果を前記記憶手段への書込データとする演算手段とを含んでいる。

【0005】 前記記憶手段はバッテリーバックアップ付の不揮発性メモリであってもよい。

【0006】

【実施例】 次に本発明について図面を参照して説明する。

【0007】 図1は本発明の一実施例を示すブロック図である。

【0008】 本発明の一実施例である磁気ディスク装置200は、磁気ディスク処理装置100との間の命令、実行結果及びデータの受け渡しを行う磁気ディスク処理装置インタフェース部210と、磁気ディスク処理装置インタフェース部210を通じて受取った命令を解釈し、実行結果を磁気ディスク処理装置100に対して送るマイクロプロセッサ240と、マイクロプロセッサ240の指示によりデータ記憶部280との間のデータの受け渡しを行うデータ書込読出制御部230と、マイクロプロセッサ240の指示により磁気ディスク処理装置インタフェース部210とデータ書込読出制御部230との間のデータ転送制御を行うデータ転送制御部220とを備えた磁気ディスク装置に対して、マイクロプロセッサ240の指示によりメモリの書込読出制御及びアドレス制御を行うメモリ制御部260と、メモリ制御部260の制御のもとでデータの読出書込を行う不揮発性メモリ270と、不揮発性メモリ270からの読出データとデータ転送制御部220からのデータ記憶部280への書込データとをマイクロプロセッサ240の指示により演算し、その演算結果を不揮発性メモリ270への書込データとする演算回路250とを付け加えて構成されている。

【0009】次に本実施例の動作について、図2に示した演算回路250及び不揮発性メモリ270のブロック図、図3に示した演算回路250及び不揮発性メモリ270のタイミングチャート、図4に示したデータ記憶部280及び不揮発性メモリ270におけるデータ及びパリティの配置図を参照して、説明する。尚、本実施例におけるパリティP_j（jは0～nの整数、n+1=セクタ数）は同一シリンダ内の各ヘッドの同一セクタ同一バイトのデータd_{ij}（iはヘッド番号、jはセクタ番号）の排他的論理和をとったものとする。ただし、メモリ容量によって、排他的論理和を実施するデータの組合せを変えることも可能である。

【0010】まず、本実施例の初期設定時の動作について*

$$p_j = d_{0j} \oplus d_{1j} \oplus \dots \oplus d_{mj} \quad \text{---- (1)}$$

【0013】が成立することがわかる。

【0014】次にデータ記憶部280への書き込み時の動作について説明する。

【0015】マイクロプロセッサ240では上述した初期設定が終了した時点で演算回路250に対する初期化イネーブル信号1を無効とした後、データの書き込み命令が磁気ディスク処理装置100から送られてきた場合、演算回路250でのデータ記憶部280への書き込みデータ2と不揮発性メモリ270からの読出しメモリデータ5との排他的論理和結果を再度不揮発性メモリ270に貯蔵する様に、メモリ制御部260に対して指示を出す。メモリ制御部260では、図3に示すとおり、不揮発性メモリ270に対するチップイネーブル信号7を有※

$$[d_{mj}] = d_{0j} \oplus d_{1j} \oplus \dots \oplus d_{k-1j} \oplus d_{k+1j} \oplus \dots \oplus d_{mj} \quad \text{---- (2)}$$

【0018】を順次計算後、求められたd_{ij}をデータ記憶部280に書き込み、処理を終了する。

【0019】なお、本実施例における不揮発性メモリ270のかわりにバッテリバックアップ付の不揮発性メモリを用いても同じ効果を得ることができる。

【0020】

【発明の効果】以上説明したように本発明は、従来の磁気ディスク装置に対して、不揮発性の記憶手段と、この記憶手段の読出書込制御及びアドレス制御を行うメモリ制御手段と、記憶手段出力と磁気記憶媒体への書き込みデータとの演算を実施する演算手段とを追加することにより、信頼性及び処理性能がすぐれた磁気ディスク装置を安価に提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例である磁気ディスク装置200のブロック図である。

【図2】図1における演算回路250及び不揮発性メモリ270のブロック図である。

*で説明する。

【0011】磁気ディスク処理装置インタフェース部210を通じてマイクロプロセッサ240は初期設定指示を受取る。マイクロプロセッサ240では、この初期設定指示により演算回路250に対する初期化イネーブル信号1（図2番参照）を有効とした後、メモリ制御部260に対して不揮発性メモリ270の初期化指示（オール0データの全アドレスへの書き込み指示）を出す。これと前後して、データ記憶部280の記憶媒体のフォーマット（全データ領域をオール0データで書き込むこと）が実施される為、全データ領域にわたって

【0012】

※効にした後、アドレスの送出、ライトイネーブル信号6の有効→無効化を実施し、データ記憶部280への全書き込みデータに対するこれら動作が終了した時点でチップイネーブル信号7の無効化を行う。以上の動作により、前述した式（1）が保たれることが容易に理解できる。

【0016】データ記憶部280からのデータ読取り時には、式（1）が常に保たれる為、従来の磁気ディスク装置における同様に読出しを実行すればよい。訂正不可能な読出しエラーが発生した場合、データd_{ij}において訂正不可能な読出しエラーが発生したとして、データd_{ij}を除くすべてのデータd_{ij}を不揮発性メモリ270に順次読出し、

【0017】

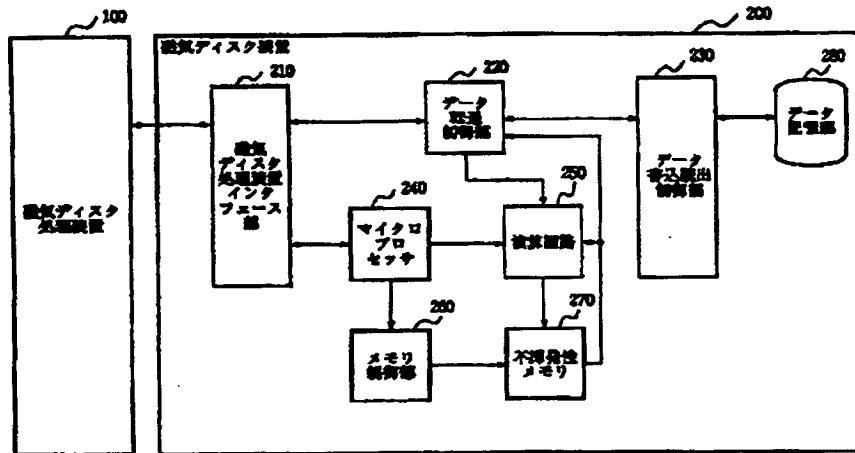
【図3】図2に示す部分のタイミングチャートである。

【図4】図1のデータ記憶部280及び不揮発性メモリ270におけるデータ及びパリティの配置を説明するための図である。

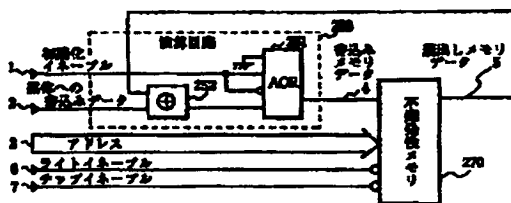
【符号の説明】

100	磁気ディスク処理装置
200	磁気ディスク装置
210	磁気ディスク処理装置インタフェース部
220	データ転送制御部
230	データ書込読出制御部
240	マイクロプロセッサ
250	演算回路
260	メモリ制御部
270	不揮発性メモリ
280	データ記憶部
251	ANDOR回路
252	排他的論理和回路。

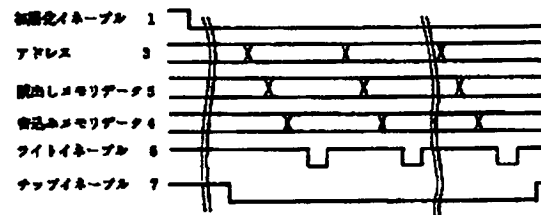
【図1】



【図2】



【図3】



(5)

特開平4-351764

(5)

特開平4-351764

【図4】

	シリンダ番号	ヘッド番号	セクタ番号 又はアドレス	データ又は パリティの配置
データ記憶部 280	CLO	HD0	0	do
	CLO	HD0	1	da
	⋮	⋮	⋮	⋮
	CLO	HD0	n	dn
	CLO	HD1	0	da0
	CLO	HD1	1	da1
	⋮	⋮	⋮	⋮
	CLO	HD1	n	dan
不揮発性メモリ 270	CLO	HDm	0	dmo
	CLO	HDm	1	dma
	⋮	⋮	⋮	⋮
	CLO	HDm	n	dmm
			0	D0
			1	D1
			⋮	⋮
			n	Dn

THIS PAGE BLANK (USPTO)